



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_L3		REFCLK7Lp					N31				
GXB_L3		REFCLK7Ln					N32				
GXB_L3		GXB_TX_L23n					C37				
GXB_L3		GXB_TX_L23p					C36				
GXB_L3		GXB_RX_L23n,GXB_REFCLK_L23n					B39				
GXB_L3		GXB_RX_L23p,GXB_REFCLK_L23p					B38				
GXB_L3		GXB_TX_L22n					E37				
GXB_L3		GXB_TX_L22p					E36				
GXB_L3		GXB_RX_L22n,GXB_REFCLK_L22n					D39				
GXB_L3		GXB_RX_L22p,GXB_REFCLK_L22p					D38				
GXB_L3		GXB_TX_L21n					G37				
GXB_L3		GXB_TX_L21p					G36				
GXB_L3		GXB_RX_L21n,GXB_REFCLK_L21n					F39				
GXB_L3		GXB_RX_L21p,GXB_REFCLK_L21p					F38				
GXB_L3		GXB_TX_L20n					J37				
GXB_L3		GXB_TX_L20p					J36				
GXB_L3		GXB_RX_L20n,GXB_REFCLK_L20n					H39				
GXB_L3		GXB_RX_L20p,GXB_REFCLK_L20p					H38				
GXB_L3		GXB_TX_L19n					K35				
GXB_L3		GXB_TX_L19p					K34				
GXB_L3		GXB_RX_L19n,GXB_REFCLK_L19n					K39				
GXB_L3		GXB_RX_L19p,GXB_REFCLK_L19p					K38				
GXB_L3		GXB_TX_L18n					M35				
GXB_L3		GXB_TX_L18p					M34				
GXB_L3		GXB_RX_L18n,GXB_REFCLK_L18n					L37				
GXB_L3		GXB_RX_L18p,GXB_REFCLK_L18p					L36				
GXB_L3		REFCLK6Lp					R32				
GXB_L3		REFCLK6Ln					R33				
GXB_L2		REFCLK5Lp					U31				
GXB_L2		REFCLK5Ln					U32				
GXB_L2		GXB_TX_L17n					N37				
GXB_L2		GXB_TX_L17p					N36				
GXB_L2		GXB_RX_L17n,GXB_REFCLK_L17n					M39				
GXB_L2		GXB_RX_L17p,GXB_REFCLK_L17p					M38				
GXB_L2		GXB_TX_L16n					P35				
GXB_L2		GXB_TX_L16p					P34				
GXB_L2		GXB_RX_L16n,GXB_REFCLK_L16n					P39				
GXB_L2		GXB_RX_L16p,GXB_REFCLK_L16p					P38				
GXB_L2		GXB_TX_L15n					R37				
GXB_L2		GXB_TX_L15p					R36				
GXB_L2		GXB_RX_L15n,GXB_REFCLK_L15n					T39				
GXB_L2		GXB_RX_L15p,GXB_REFCLK_L15p					T38				
GXB_L2		GXB_TX_L14n					T35				
GXB_L2		GXB_TX_L14p					T34				
GXB_L2		GXB_RX_L14n,GXB_REFCLK_L14n					U37				
GXB_L2		GXB_RX_L14p,GXB_REFCLK_L14p					U36				
GXB_L2		GXB_TX_L13n					V35				
GXB_L2		GXB_TX_L13p					V34				
GXB_L2		GXB_RX_L13n,GXB_REFCLK_L13n					V39				
GXB_L2		GXB_RX_L13p,GXB_REFCLK_L13p					V38				
GXB_L2		GXB_TX_L12n					W37				
GXB_L2		GXB_TX_L12p					W36				
GXB_L2		GXB_RX_L12n,GXB_REFCLK_L12n					Y39				
GXB_L2		GXB_RX_L12p,GXB_REFCLK_L12p					Y38				
GXB_L2		REFCLK4Lp					W32				
GXB_L2		REFCLK4Ln					W33				
GXB_L1		REFCLK3Lp					AA31				
GXB_L1		REFCLK3Ln					AA32				
GXB_L1		GXB_TX_L11n					Y35				
GXB_L1		GXB_TX_L11p					Y34				
GXB_L1		GXB_RX_L11n,GXB_REFCLK_L11n					AA37				
GXB_L1		GXB_RX_L11p,GXB_REFCLK_L11p					AA36				
GXB_L1		GXB_TX_L10n					AB35				
GXB_L1		GXB_TX_L10p					AB34				
GXB_L1		GXB_RX_L10n,GXB_REFCLK_L10n					AB39				
GXB_L1		GXB_RX_L10p,GXB_REFCLK_L10p					AB38				
GXB_L1		GXB_TX_L9n					AC37				
GXB_L1		GXB_TX_L9p					AC36				
GXB_L1		GXB_RX_L9n,GXB_REFCLK_L9n					AD39				
GXB_L1		GXB_RX_L9p,GXB_REFCLK_L9p					AD38				
GXB_L1		GXB_TX_L8n					AD35				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_L1		GXB_TX_L8p					AD34				
GXB_L1		GXB_RX_L8n,GXB_REFCLK_L8n					AF39				
GXB_L1		GXB_RX_L8p,GXB_REFCLK_L8p					AF38				
GXB_L1		GXB_TX_L7n					AF35				
GXB_L1		GXB_TX_L7p					AF34				
GXB_L1		GXB_RX_L7n,GXB_REFCLK_L7n					AE37				
GXB_L1		GXB_RX_L7p,GXB_REFCLK_L7p					AE36				
GXB_L1		GXB_TX_L6n					AG37				
GXB_L1		GXB_TX_L6p					AG36				
GXB_L1		GXB_RX_L6n,GXB_REFCLK_L6n					AH39				
GXB_L1		GXB_RX_L6p,GXB_REFCLK_L6p					AH38				
GXB_L1		REFCLK2Lp					AC32				
GXB_L1		REFCLK2Ln					AC33				
GXB_L0		REFCLK1Lp					AE31				
GXB_L0		REFCLK1Ln					AE32				
GXB_L0		GXB_TX_L5n					AH35				
GXB_L0		GXB_TX_L5p					AH34				
GXB_L0		GXB_RX_L5n,GXB_REFCLK_L5n					AK39				
GXB_L0		GXB_RX_L5p,GXB_REFCLK_L5p					AK38				
GXB_L0		GXB_TX_L4n					AK35				
GXB_L0		GXB_TX_L4p					AK34				
GXB_L0		GXB_RX_L4n,GXB_REFCLK_L4n					AJ37				
GXB_L0		GXB_RX_L4p,GXB_REFCLK_L4p					AJ36				
GXB_L0		GXB_TX_L3n					AL37				
GXB_L0		GXB_TX_L3p					AL36				
GXB_L0		GXB_RX_L3n,GXB_REFCLK_L3n					AM39				
GXB_L0		GXB_RX_L3p,GXB_REFCLK_L3p					AM38				
GXB_L0		GXB_TX_L2n					AN37				
GXB_L0		GXB_TX_L2p					AN36				
GXB_L0		GXB_RX_L2n,GXB_REFCLK_L2n					AP39				
GXB_L0		GXB_RX_L2p,GXB_REFCLK_L2p					AP38				
GXB_L0		GXB_TX_L1n					AR37				
GXB_L0		GXB_TX_L1p					AR36				
GXB_L0		GXB_RX_L1n,GXB_REFCLK_L1n					AT39				
GXB_L0		GXB_RX_L1p,GXB_REFCLK_L1p					AT38				
GXB_L0		GXB_TX_L0n					AU37				
GXB_L0		GXB_TX_L0p					AU36				
GXB_L0		GXB_RX_L0n,GXB_REFCLK_L0n					AV39				
GXB_L0		GXB_RX_L0p,GXB_REFCLK_L0p					AV38				
GXB_L0		REFCLK0Lp					AG32				
GXB_L0		REFCLK0Ln					AG33				
3A		nCONFIG		nCONFIG			U26				
3A		TRST		TRST			U27				
3A		TMS		TMS			AU34				
3A		TCK		TCK			AV34				
3A		TDI		TDI			AU33				
3A		TDO		TDO			AM33				
3A		nCSO		nCSO			V29				
3A		AS_DATA3		AS_DATA3			W28				
3A		AS_DATA2		AS_DATA2			U29				
3A		AS_DATA1		AS_DATA1			W29				
3A		AS_DATA0,ASDO		AS_DATA0,ASDO			T27				
3A		DCLK		DCLK			U28				
3A	VREFB3A0	IO		CLKUSR	DIFFIO_TX_B1n	DIFFOUT_B1n	AN34	DQ1B		DQ1B	
3A	VREFB3A0	IO		CRC_ERROR	DIFFIO_TX_B1p	DIFFOUT_B1p	AM34	DQ1B		DQ1B	
3A	VREFB3A0	IO	RZQ_0		DIFFIO_RX_B2n	DIFFOUT_B2n	AR34	DQSn1B		DQ1B	
3A	VREFB3A0	IO		DEV_OE	DIFFIO_RX_B2p	DIFFOUT_B2p	AP34	DQS1B		DQ1B/CQn1B	
3A	VREFB3A0	IO		DEV_CLRn	DIFFIO_TX_B3n	DIFFOUT_B3n	AP33	DQ1B		DQ1B	
3A	VREFB3A0	IO		INIT_DONE	DIFFIO_TX_B3p	DIFFOUT_B3p	AN33	DQ1B		DQ1B	
3A	VREFB3A0	IO		nCEO	DIFFIO_RX_B4n	DIFFOUT_B4n	AT33	DQSn2B		DQSn1B/DQ1B	
3A	VREFB3A0	IO		DATA0	DIFFIO_RX_B4p	DIFFOUT_B4p	AR33	DQS2B		DQS1B/CQ1B	
3A	VREFB3A0	IO		DATA1	DIFFIO_TX_B5n	DIFFOUT_B5n	AU32	DQ2B		DQ1B	
3A	VREFB3A0	IO		DATA2	DIFFIO_TX_B5p	DIFFOUT_B5p	AT32	DQ2B		DQ1B	
3A	VREFB3A0	IO		DATA3	DIFFIO_RX_B6n	DIFFOUT_B6n	AW32	DQ2B		DQ1B	
3A	VREFB3A0	IO		DATA4	DIFFIO_RX_B6p	DIFFOUT_B6p	AV32	DQ2B		DQ1B	
3A	VREFB3A0	IO		DATA5	DIFFIO_TX_B7n	DIFFOUT_B7n	AM32	DQ3B		DQ2B	DQ1B
3A	VREFB3A0	IO		DATA6	DIFFIO_TX_B7p	DIFFOUT_B7p	AL31	DQ3B		DQ2B	DQ1B
3A	VREFB3A0	IO		DATA7	DIFFIO_RX_B8n	DIFFOUT_B8n	AN32	DQSn3B		DQ2B	DQ1B
3A	VREFB3A0	IO		DATA8	DIFFIO_RX_B8p	DIFFOUT_B8p	AN31	DQS3B		DQ2B/CQn2B	DQ1B
3A	VREFB3A0	IO		DATA9	DIFFIO_TX_B9n	DIFFOUT_B9n	AM31	DQ3B		DQ2B	DQ1B
3A	VREFB3A0	IO		DATA10	DIFFIO_TX_B9p	DIFFOUT_B9p	AL30	DQ3B		DQ2B	DQ1B



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3A	VREFB3AN0	IO		DATA11	DIFFIO_RX_B10n	DIFFOUT_B10n	AK30	DQSn4B	DQSn2B/DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA12	DIFFIO_RX_B10p	DIFFOUT_B10p	AJ30	DQS4B	DQS2B/CQ2B	DQ1B/CQn1B	
3A	VREFB3AN0	IO		DATA13	DIFFIO_TX_B11n	DIFFOUT_B11n	AJ29	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA14	DIFFIO_TX_B11p	DIFFOUT_B11p	AJ28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA15	DIFFIO_RX_B12n	DIFFOUT_B12n	AM29	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA16	DIFFIO_RX_B12p	DIFFOUT_B12p	AL29	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA17	DIFFIO_TX_B13n	DIFFOUT_B13n	AT30	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA18	DIFFIO_TX_B13p	DIFFOUT_B13p	AR30	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA19	DIFFIO_RX_B14n	DIFFOUT_B14n	AW31	DQSn5B	DQ3B	DQSn1B/DQ1B	
3A	VREFB3AN0	IO		DATA20	DIFFIO_RX_B14p	DIFFOUT_B14p	AV31	DQS5B	DQ3B/CQn3B	DQSn1B/CQ1B	
3A	VREFB3AN0	IO		DATA21	DIFFIO_TX_B15n	DIFFOUT_B15n	AU31	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA22	DIFFIO_TX_B15p	DIFFOUT_B15p	AU30	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA23	DIFFIO_RX_B16n	DIFFOUT_B16n	AR31	DQSn6B	DQSn3B/DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA24	DIFFIO_RX_B16p	DIFFOUT_B16p	AP31	DQS6B	DQSn3B/CQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA25	DIFFIO_TX_B17n	DIFFOUT_B17n	AN30	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA26	DIFFIO_TX_B17p	DIFFOUT_B17p	AN29	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA27	DIFFIO_RX_B18n	DIFFOUT_B18n	AT29	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA28	DIFFIO_RX_B18p	DIFFOUT_B18p	AR29	DQ6B	DQ3B	DQ1B	
3B	VREFB3BN0	IO		DATA29	DIFFIO_TX_B19n	DIFFOUT_B19n	AA29	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA30	DIFFIO_TX_B19p	DIFFOUT_B19p	Y29	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA31	DIFFIO_RX_B20n	DIFFOUT_B20n	AC29	DQSn7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_DONE	DIFFIO_RX_B20p	DIFFOUT_B20p	AB29	DQS7B	DQ4B/CQn4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_REQUEST	DIFFIO_TX_B21n	DIFFOUT_B21n	AE29	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_READY	DIFFIO_TX_B21p	DIFFOUT_B21p	AD29	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0n		DIFFIO_RX_B22n	DIFFOUT_B22n	AC28	DQSn8B	DQSn4B/DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0p		DIFFIO_RX_B22p	DIFFOUT_B22p	AB28	DQS8B	DQSn4B/CQ4B	DQ2B/CQn2B	DQ1B
3B	VREFB3BN0	IO		PR_ERROR	DIFFIO_TX_B23n	DIFFOUT_B23n	AC27	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		CvP_CONFDONE	DIFFIO_TX_B23p	DIFFOUT_B23p	AB27	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1n		DIFFIO_RX_B24n	DIFFOUT_B24n	AE27	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1p		DIFFIO_RX_B24p	DIFFOUT_B24p	AD27	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT1,FPLL_BL_CLKOUTn		DIFFIO_TX_B25n	DIFFOUT_B25n	AH28	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT0,FPLL_BL_CLKOUTp,FPLL_BL_FB0		DIFFIO_TX_B25p	DIFFOUT_B25p	AG29	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT3,FPLL_BL_FBn		DIFFIO_RX_B26n	DIFFOUT_B26n	AH27	DQSn9B	DQ5B	DQSn2B/DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT2,FPLL_BL_FBp,FPLL_BL_FB1		DIFFIO_RX_B26p	DIFFOUT_B26p	AG28	DQS9B	DQ5B/CQn5B	DQS2B/CQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTL0	DIFFIO_TX_B27n	DIFFOUT_B27n	AF28	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTL1	DIFFIO_TX_B27p	DIFFOUT_B27p	AE28	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2n		DIFFIO_RX_B28n	DIFFOUT_B28n	AK26	DQSn10B	DQSn5B/DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2p		DIFFIO_RX_B28p	DIFFOUT_B28p	AJ26	DQS10B	DQSn5B/CQ5B	DQ2B	DQ1B/CQn1B
3B	VREFB3BN0	IO		nPERSTR1	DIFFIO_TX_B29n	DIFFOUT_B29n	AG26	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTR0	DIFFIO_TX_B29p	DIFFOUT_B29p	AF26	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3n		DIFFIO_RX_B30n	DIFFOUT_B30n	AK27	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3p		DIFFIO_RX_B30p	DIFFOUT_B30p	AJ27	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31n	DIFFOUT_B31n	AP28	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31p	DIFFOUT_B31p	AN28	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32n	DIFFOUT_B32n	AP27	DQSn11B	DQ6B	DQ3B	DQSn1B/DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32p	DIFFOUT_B32p	AN27	DQS11B	DQ6B/CQn6B	DQ3B	DQSn1B/CQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33n	DIFFOUT_B33n	AR28	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33p	DIFFOUT_B33p	AR27	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B34n	AM28	DQSn12B	DQSn6B/DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B34p	AL28	DQS12B	DQSn6B/CQ6B	DQ3B/CQn3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35n	DIFFOUT_B35n	AN26	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35p	DIFFOUT_B35p	AM26	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B36n	AL27	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B36p	AL26	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37n	DIFFOUT_B37n	AU29	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37p	DIFFOUT_B37p	AU28	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38n	DIFFOUT_B38n	AW29	DQSn13B	DQ7B	DQSn3B/DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38p	DIFFOUT_B38p	AV29	DQS13B	DQ7B/CQn7B	DQSn3B/CQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39n	DIFFOUT_B39n	AW28	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39p	DIFFOUT_B39p	AV28	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40n	DIFFOUT_B40n	AU27	DQSn14B	DQSn7B/DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40p	DIFFOUT_B40p	AT27	DQS14B	DQSn7B/CQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41n	DIFFOUT_B41n	AT26	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41p	DIFFOUT_B41p	AR26	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42n	DIFFOUT_B42n	AW26	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42p	DIFFOUT_B42p	AV26	DQ14B	DQ7B	DQ3B	DQ1B
3C	VREFB3CN0	IO			DIFFIO_TX_B43n	DIFFOUT_B43n	AE26	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B43p	DIFFOUT_B43p	AD26	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B44n	DIFFOUT_B44n	AC25	DQSn15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B44p	DIFFOUT_B44p	AC24	DQS15B	DQ8B/CQn8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B45n	DIFFOUT_B45n	AC26	DQ15B	DQ8B	DQ4B	DQ2B



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3C	VREFB3CN0	IO			DIFFIO_TX_B45p	DIFFOUT_B45p	AB25	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B46n	DIFFOUT_B46n	AF25	DQSn16B	DQSn8B/DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B46p	DIFFOUT_B46p	AE25	DQS16B	DQS8B/CQ8B	DQ4B/CQn4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B47n	DIFFOUT_B47n	AE23	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B47p	DIFFOUT_B47p	AD24	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B48n	DIFFOUT_B48n	AH25	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B48p	DIFFOUT_B48p	AG25	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B49n	DIFFOUT_B49n	AH24	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B49p	DIFFOUT_B49p	AG24	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B50n	DIFFOUT_B50n	AK23	DQSn17B	DQ9B	DQSn4B/DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B50p	DIFFOUT_B50p	AJ23	DQS17B	DQ9B/CQn9B	DQSn4B/CQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B51n	DIFFOUT_B51n	AG23	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B51p	DIFFOUT_B51p	AF23	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B52n	DIFFOUT_B52n	AM25	DQSn18B	DQSn9B/DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B52p	DIFFOUT_B52p	AL25	DQS18B	DQSn9B/CQ9B	DQ4B	DQ2B/CQn2B
3C	VREFB3CN0	IO			DIFFIO_TX_B53n	DIFFOUT_B53n	AJ25	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B53p	DIFFOUT_B53p	AJ24	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B54n	DIFFOUT_B54n	AL24	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B54p	DIFFOUT_B54p	AK24	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B55n	DIFFOUT_B55n	AP25	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B55p	DIFFOUT_B55p	AN25	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B56n	DIFFOUT_B56n	AT24	DQSn19B	DQ10B	DQ5B	DQSn2B/DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B56p	DIFFOUT_B56p	AR25	DQS19B	DQ10B/CQn10B	DQ5B	DQSn2B/CQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B57n	DIFFOUT_B57n	AR24	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B57p	DIFFOUT_B57p	AP24	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B58n	DIFFOUT_B58n	AN24	DQSn20B	DQSn10B/DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B58p	DIFFOUT_B58p	AN23	DQS20B	DQSn10B/CQ10B	DQSn5B/CQn5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B59n	DIFFOUT_B59n	AM23	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B59p	DIFFOUT_B59p	AL23	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B60n	DIFFOUT_B60n	AN22	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B60p	DIFFOUT_B60p	AM22	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B61n	DIFFOUT_B61n	AW23	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B61p	DIFFOUT_B61p	AV23	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B62n	DIFFOUT_B62n	AW25	DQSn21B	DQ11B	DQSn5B/DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B62p	DIFFOUT_B62p	AV25	DQS21B	DQ11B/CQn11B	DQSn5B/CQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B63n	DIFFOUT_B63n	AU24	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B63p	DIFFOUT_B63p	AU23	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B64n	DIFFOUT_B64n	AW22	DQSn22B	DQSn11B/DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B64p	DIFFOUT_B64p	AV22	DQS22B	DQSn11B/CQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B65n	DIFFOUT_B65n	AR23	DQ22B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B65p	DIFFOUT_B65p	AR22	DQ22B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B66n	DIFFOUT_B66n	AU22	DQ22B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B66p	DIFFOUT_B66p	AT23	DQ22B	DQ11B	DQ5B	DQ2B
3D	VREFB3DN0	IO			DIFFIO_TX_B67n	DIFFOUT_B67n	AE21	DQ23B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B67p	DIFFOUT_B67p	AE20	DQ23B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B68n	DIFFOUT_B68n	AH22	DQSn23B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B68p	DIFFOUT_B68p	AG22	DQS23B	DQ12B/CQn12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B69n	DIFFOUT_B69n	AF22	DQ23B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B69p	DIFFOUT_B69p	AE22	DQ23B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B70n	DIFFOUT_B70n	AL22	DQSn24B	DQSn12B/DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B70p	DIFFOUT_B70p	AL21	DQS24B	DQSn12B/CQ12B	DQ6B/CQn6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B71n	DIFFOUT_B71n	AK21	DQ24B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B71p	DIFFOUT_B71p	AJ22	DQ24B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B72n	DIFFOUT_B72n	AK20	DQ24B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B72p	DIFFOUT_B72p	AJ20	DQ24B	DQ12B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B73n	DIFFOUT_B73n	AW21	DQ25B	DQ13B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B73p	DIFFOUT_B73p	AV20	DQ25B	DQ13B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B74n	DIFFOUT_B74n	AU21	DQSn25B	DQ13B	DQSn6B/DQ6B	
3D	VREFB3DN0	IO			DIFFIO_RX_B74p	DIFFOUT_B74p	AU20	DQS25B	DQ13B/CQn13B	DQSn6B/CQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B75n	DIFFOUT_B75n	AT21	DQ25B	DQ13B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B75p	DIFFOUT_B75p	AR21	DQ25B	DQ13B	DQ6B	
3D	VREFB3DN0	IO	CLK4n		DIFFIO_RX_B76n	DIFFOUT_B76n	AT20	DQSn26B	DQSn13B/DQ13B	DQ6B	
3D	VREFB3DN0	IO	CLK4p		DIFFIO_RX_B76p	DIFFOUT_B76p	AR20	DQS26B	DQSn13B/CQ13B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B77n	DIFFOUT_B77n	AM20	DQ26B	DQ13B	DQ6B	
3D	VREFB3DN0	IO			DIFFIO_TX_B77p	DIFFOUT_B77p	AL20	DQ26B	DQ13B	DQ6B	
3D	VREFB3DN0	IO	CLK5n		DIFFIO_RX_B78n	DIFFOUT_B78n	AP21	DQ26B	DQ13B	DQ6B	
3D	VREFB3DN0	IO	CLK5p		DIFFIO_RX_B78p	DIFFOUT_B78p	AN21	DQ26B	DQ13B	DQ6B	
4D	VREFB4DN0	IO			FPLL_BC_CLKOUT1,FPLL_BC_CLKOUTn	DIFFIO_TX_B139n	DIFFOUT_B139n	AE18	DQ47B	DQ14B	DQ7B
4D	VREFB4DN0	IO			FPLL_BC_CLKOUT0,FPLL_BC_CLKOUTp,FPLL_BC_FB0	DIFFIO_TX_B139p	DIFFOUT_B139p	AE17	DQ47B	DQ14B	DQ7B
4D	VREFB4DN0	IO			FPLL_BC_CLKOUT3,FPLL_BC_FBn	DIFFIO_RX_B140n	DIFFOUT_B140n	AG20	DQSn47B	DQ14B	DQ7B
4D	VREFB4DN0	IO			FPLL_BC_CLKOUT2,FPLL_BC_FBp,FPLL_BC_FB1	DIFFIO_RX_B140p	DIFFOUT_B140p	AF19	DQS47B	DQ14B/CQn14B	DQ7B



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4D	VREFB4DN0	IO			DIFFIO_TX_B141n	DIFFOUT_B141n	AH19	DQ47B	DQ14B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B141p	DIFFOUT_B141p	AG19	DQ47B	DQ14B	DQ7B	
4D	VREFB4DN0	IO	CLK6n		DIFFIO_RX_B142n	DIFFOUT_B142n	AK18	DQSn48B	DQSn14B/DQ14B	DQ7B	
4D	VREFB4DN0	IO	CLK6p		DIFFIO_RX_B142p	DIFFOUT_B142p	AJ19	DQS48B	DQS14B/CQ14B	DQ7B/CQn7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B143n	DIFFOUT_B143n	AJ18	DQ48B	DQ14B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B143p	DIFFOUT_B143p	AH18	DQ48B	DQ14B	DQ7B	
4D	VREFB4DN0	IO	CLK7n		DIFFIO_RX_B144n	DIFFOUT_B144n	AL18	DQ48B	DQ14B	DQ7B	
4D	VREFB4DN0	IO	CLK7p		DIFFIO_RX_B144p	DIFFOUT_B144p	AL19	DQ48B	DQ14B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B145n	DIFFOUT_B145n	AN19	DQ49B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B145p	DIFFOUT_B145p	AM19	DQ49B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_RX_B146n	DIFFOUT_B146n	AR19	DQSn49B	DQ15B	DQSn7B/DQ7B	
4D	VREFB4DN0	IO			DIFFIO_RX_B146p	DIFFOUT_B146p	AP19	DQS49B	DQ15B/CQn15B	DQS7B/CQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B147n	DIFFOUT_B147n	AP18	DQ49B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B147p	DIFFOUT_B147p	AN18	DQ49B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_RX_B148n	DIFFOUT_B148n	AT18	DQSn50B	DQSn15B/DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_RX_B148p	DIFFOUT_B148p	AR18	DQS50B	DQS15B/CQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B149n	DIFFOUT_B149n	AU19	DQ50B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_TX_B149p	DIFFOUT_B149p	AU18	DQ50B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_RX_B150n	DIFFOUT_B150n	AW19	DQ50B	DQ15B	DQ7B	
4D	VREFB4DN0	IO			DIFFIO_RX_B150p	DIFFOUT_B150p	AV19	DQ50B	DQ15B	DQ7B	
4C	VREFB4CN0	IO			DIFFIO_TX_B151n	DIFFOUT_B151n	AC16	DQ51B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B151p	DIFFOUT_B151p	AB16	DQ51B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B152n	DIFFOUT_B152n	AC15	DQSn51B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B152p	DIFFOUT_B152p	AB15	DQS51B	DQ16B/CQn16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B153n	DIFFOUT_B153n	AE16	DQ51B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B153p	DIFFOUT_B153p	AD15	DQ51B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B154n	DIFFOUT_B154n	AG17	DQSn52B	DQSn16B/DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B154p	DIFFOUT_B154p	AF17	DQS52B	DQS16B/CQ16B	DQ8B/CQn8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B155n	DIFFOUT_B155n	AH16	DQ52B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B155p	DIFFOUT_B155p	AG16	DQ52B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B156n	DIFFOUT_B156n	AE15	DQ52B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B156p	DIFFOUT_B156p	AF16	DQ52B	DQ16B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B157n	DIFFOUT_B157n	AK17	DQ53B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B157p	DIFFOUT_B157p	AL17	DQ53B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B158n	DIFFOUT_B158n	AJ16	DQSn53B	DQ17B	DQSn8B/DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B158p	DIFFOUT_B158p	AJ17	DQS53B	DQ17B/CQn17B	DQS8B/CQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B159n	DIFFOUT_B159n	AL15	DQ53B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B159p	DIFFOUT_B159p	AK15	DQ53B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B160n	DIFFOUT_B160n	AJ15	DQSn54B	DQSn17B/DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B160p	DIFFOUT_B160p	AH15	DQS54B	DQS17B/CQ17B	DQ8B	DQ3B/CQn3B
4C	VREFB4CN0	IO			DIFFIO_TX_B161n	DIFFOUT_B161n	AL14	DQ54B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B161p	DIFFOUT_B161p	AK14	DQ54B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B162n	DIFFOUT_B162n	AM16	DQ54B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B162p	DIFFOUT_B162p	AL16	DQ54B	DQ17B	DQ8B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B163n	DIFFOUT_B163n	AN17	DQ55B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B163p	DIFFOUT_B163p	AM17	DQ55B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B164n	DIFFOUT_B164n	AN15	DQSn55B	DQ18B	DQ9B	DQSn3B/DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B164p	DIFFOUT_B164p	AN16	DQS55B	DQ18B/CQn18B	DQ9B	DQS3B/CQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B165n	DIFFOUT_B165n	AR16	DQ55B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B165p	DIFFOUT_B165p	AR17	DQ55B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B166n	DIFFOUT_B166n	AN14	DQSn56B	DQSn18B/DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B166p	DIFFOUT_B166p	AM14	DQS56B	DQS18B/CQ18B	DQ9B/CQn9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B167n	DIFFOUT_B167n	AR14	DQ56B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B167p	DIFFOUT_B167p	AR13	DQ56B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B168n	DIFFOUT_B168n	AR15	DQ56B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B168p	DIFFOUT_B168p	AP15	DQ56B	DQ18B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B169n	DIFFOUT_B169n	AU17	DQ57B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B169p	DIFFOUT_B169p	AT17	DQ57B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B170n	DIFFOUT_B170n	AT15	DQSn57B	DQ19B	DQSn9B/DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B170p	DIFFOUT_B170p	AT14	DQS57B	DQ19B/CQn19B	DQS9B/CQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B171n	DIFFOUT_B171n	AU16	DQ57B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B171p	DIFFOUT_B171p	AU15	DQ57B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B172n	DIFFOUT_B172n	AW17	DQSn58B	DQSn19B/DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B172p	DIFFOUT_B172p	AV17	DQS58B	DQS19B/CQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B173n	DIFFOUT_B173n	AW16	DQ58B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_TX_B173p	DIFFOUT_B173p	AV16	DQ58B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B174n	DIFFOUT_B174n	AW14	DQ58B	DQ19B	DQ9B	DQ3B
4C	VREFB4CN0	IO			DIFFIO_RX_B174p	DIFFOUT_B174p	AV14	DQ58B	DQ19B	DQ9B	DQ3B
4B	VREFB4BN0	IO			DIFFIO_TX_B175n	DIFFOUT_B175n	AE14	DQ59B	DQ20B	DQ10B	DQ4B
4B	VREFB4BN0	IO			DIFFIO_TX_B175p	DIFFOUT_B175p	AD14	DQ59B	DQ20B	DQ10B	DQ4B
4B	VREFB4BN0	IO			DIFFIO_RX_B176n	DIFFOUT_B176n	AC13	DQSn59B	DQ20B	DQ10B	DQ4B



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4B	VREFB4B0	IO			DIFFIO_RX_B176p	DIFFOUT_B176p	AC12	DQS59B	DQ20B/CQn20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B177n	DIFFOUT_B177n	AG14	DQ59B	DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B177p	DIFFOUT_B177p	AF14	DQ59B	DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B178n	DIFFOUT_B178n	AD11	DQSn60B	DQSn20B/DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B178p	DIFFOUT_B178p	AC11	DQSn60B	DQSn20B/CQ20B	DQ10B/CQn10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B179n	DIFFOUT_B179n	AF11	DQ60B	DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B179p	DIFFOUT_B179p	AE11	DQ60B	DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B180n	DIFFOUT_B180n	AE13	DQ60B	DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B180p	DIFFOUT_B180p	AE12	DQ60B	DQ20B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B181n	DIFFOUT_B181n	AJ14	DQ61B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B181p	DIFFOUT_B181p	AH13	DQ61B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B182n	DIFFOUT_B182n	AG13	DQSn61B	DQ21B	DQSn10B/DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B182p	DIFFOUT_B182p	AF13	DQSn61B	DQ21B/CQn21B	DQSn10B/CQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B183n	DIFFOUT_B183n	AJ13	DQ61B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B183p	DIFFOUT_B183p	AJ12	DQ61B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B184n	DIFFOUT_B184n	AH12	DQSn62B	DQSn21B/DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B184p	DIFFOUT_B184p	AG11	DQSn62B	DQSn21B/CQ21B	DQ10B	DQ4B/CQn4B
4B	VREFB4B0	IO			DIFFIO_TX_B185n	DIFFOUT_B185n	AK12	DQ62B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B185p	DIFFOUT_B185p	AK11	DQ62B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B186n	DIFFOUT_B186n	AL12	DQ62B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B186p	DIFFOUT_B186p	AL11	DQ62B	DQ21B	DQ10B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B187n	DIFFOUT_B187n	AM13	DQ63B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B187p	DIFFOUT_B187p	AL13	DQ63B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B188n	DIFFOUT_B188n	AP13	DQSn63B	DQ22B	DQ11B	DQSn4B/DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B188p	DIFFOUT_B188p	AN13	DQSn63B	DQ22B/CQn22B	DQ11B	DQSn4B/CQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B189n	DIFFOUT_B189n	AN11	DQ63B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B189p	DIFFOUT_B189p	AM11	DQ63B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B190n	DIFFOUT_B190n	AP12	DQSn64B	DQSn22B/DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B190p	DIFFOUT_B190p	AN12	DQSn64B	DQSn22B/CQ22B	DQ11B/CQn11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B191n	DIFFOUT_B191n	AN10	DQ64B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B191p	DIFFOUT_B191p	AM10	DQ64B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B192n	DIFFOUT_B192n	AR11	DQ64B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B192p	DIFFOUT_B192p	AR10	DQ64B	DQ22B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B193n	DIFFOUT_B193n	AT12	DQ65B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B193p	DIFFOUT_B193p	AR12	DQ65B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B194n	DIFFOUT_B194n	AU13	DQSn65B	DQ23B	DQSn11B/DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B194p	DIFFOUT_B194p	AU12	DQSn65B	DQ23B/CQn23B	DQSn11B/CQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B195n	DIFFOUT_B195n	AU11	DQ65B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B195p	DIFFOUT_B195p	AT11	DQ65B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B196n	DIFFOUT_B196n	AW13	DQSn66B	DQSn23B/DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B196p	DIFFOUT_B196p	AV13	DQSn66B	DQSn23B/CQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B197n	DIFFOUT_B197n	AW11	DQ66B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_TX_B197p	DIFFOUT_B197p	AV11	DQ66B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B198n	DIFFOUT_B198n	AW10	DQ66B	DQ23B	DQ11B	DQ4B
4B	VREFB4B0	IO			DIFFIO_RX_B198p	DIFFOUT_B198p	AV10	DQ66B	DQ23B	DQ11B	DQ4B
4A	VREFB4A0	IO			DIFFIO_TX_B199n	DIFFOUT_B199n	AP9	DQ67B	DQ24B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B199p	DIFFOUT_B199p	AN9	DQ67B	DQ24B	DQ12B	
4A	VREFB4A0	IO	CLK11n		DIFFIO_RX_B200n	DIFFOUT_B200n	AT9	DQSn67B	DQ24B	DQ12B	
4A	VREFB4A0	IO	CLK11p		DIFFIO_RX_B200p	DIFFOUT_B200p	AR9	DQSn67B	DQ24B/CQn24B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B201n	DIFFOUT_B201n	AM8	DQ67B	DQ24B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B201p	DIFFOUT_B201p	AL8	DQ67B	DQ24B	DQ12B	
4A	VREFB4A0	IO	CLK10n		DIFFIO_RX_B202n	DIFFOUT_B202n	AW8	DQSn68B	DQSn24B/DQ24B	DQ12B	
4A	VREFB4A0	IO	CLK10p		DIFFIO_RX_B202p	DIFFOUT_B202p	AV8	DQSn68B	DQSn24B/CQ24B	DQ12B/CQn12B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT1,FPLL_BR_CLKOUTn		DIFFIO_TX_B203n	DIFFOUT_B203n	AU9	DQ68B	DQ24B	DQ12B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT0,FPLL_BR_CLKOUTp,FPLL_BR_FB0		DIFFIO_TX_B203p	DIFFOUT_B203p	AU8	DQ68B	DQ24B	DQ12B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT3,FPLL_BR_FBn		DIFFIO_RX_B204n	DIFFOUT_B204n	AT8	DQ68B	DQ24B	DQ12B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT2,FPLL_BR_FBp,FPLL_BR_FB1		DIFFIO_RX_B204p	DIFFOUT_B204p	AR8	DQ68B	DQ24B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B205n	DIFFOUT_B205n	AR7	DQ69B	DQ25B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B205p	DIFFOUT_B205p	AP7	DQ69B	DQ25B	DQ12B	
4A	VREFB4A0	IO	CLK9n		DIFFIO_RX_B206n	DIFFOUT_B206n	AN8	DQSn69B	DQ25B	DQSn12B/DQ12B	
4A	VREFB4A0	IO	CLK9p		DIFFIO_RX_B206p	DIFFOUT_B206p	AN7	DQSn69B	DQ25B/CQn25B	DQSn12B/CQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B207n	DIFFOUT_B207n	AP6	DQ69B	DQ25B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B207p	DIFFOUT_B207p	AN6	DQ69B	DQ25B	DQ12B	
4A	VREFB4A0	IO	CLK8n		DIFFIO_RX_B208n	DIFFOUT_B208n	AW7	DQSn70B	DQSn25B/DQ25B	DQ12B	
4A	VREFB4A0	IO	CLK8p		DIFFIO_RX_B208p	DIFFOUT_B208p	AV7	DQSn70B	DQSn25B/CQ25B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B209n	DIFFOUT_B209n	AU7	DQ70B	DQ25B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_TX_B209p	DIFFOUT_B209p	AU6	DQ70B	DQ25B	DQ12B	
4A	VREFB4A0	IO			DIFFIO_RX_B210n	DIFFOUT_B210n	AT6	DQ70B	DQ25B	DQ12B	
4A	VREFB4A0	IO	RZQ_1		DIFFIO_RX_B210p	DIFFOUT_B210p	AR6	DQ70B	DQ25B	DQ12B	
4A		GND					AC14				
4A		nCE		nCE			AB13				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4A		nSTATUS		nSTATUS			AL10				
4A		CONF_DONE		CONF_DONE			AB12				
4A		nIO_PULLUP		nIO_PULLUP			AM7				
4A		MSEL0		MSEL0			W12				
4A		MSEL1		MSEL1			Y11				
4A		MSEL2		MSEL2			AA12				
4A		MSEL3		MSEL3			AA11				
4A		MSEL4		MSEL4			W11				
GXB_R0		REFCLK0Rn					AG7				
GXB_R0		REFCLK0Rp					AG8				
GXB_R0		GXB_RX_R0p,GXB_REFCLK_R0p					AV2				
GXB_R0		GXB_RX_R0n,GXB_REFCLK_R0n					AV1				
GXB_R0		GXB_TX_R0p					AU4				
GXB_R0		GXB_TX_R0n					AU3				
GXB_R0		GXB_RX_R1p,GXB_REFCLK_R1p					AJ4				
GXB_R0		GXB_RX_R1n,GXB_REFCLK_R1n					AJ3				
GXB_R0		GXB_TX_R1p					AH6				
GXB_R0		GXB_TX_R1n					AH5				
GXB_R0		REFCLK1Rn					AE8				
GXB_R0		REFCLK1Rp					AE9				
GXB_R1		REFCLK2Rn					AC7				
GXB_R1		REFCLK2Rp					AC8				
GXB_R1		GXB_RX_R2p,GXB_REFCLK_R2p					AH2				
GXB_R1		GXB_RX_R2n,GXB_REFCLK_R2n					AH1				
GXB_R1		GXB_TX_R2p					AG4				
GXB_R1		GXB_TX_R2n					AG3				
GXB_R1		GXB_RX_R3p,GXB_REFCLK_R3p					AA4				
GXB_R1		GXB_RX_R3n,GXB_REFCLK_R3n					AA3				
GXB_R1		GXB_TX_R3p					Y6				
GXB_R1		GXB_TX_R3n					Y5				
GXB_R1		REFCLK3Rn					AA8				
GXB_R1		REFCLK3Rp					AA9				
GXB_R2		REFCLK4Rn					W7				
GXB_R2		REFCLK4Rp					W8				
GXB_R2		GXB_RX_R4p,GXB_REFCLK_R4p					Y2				
GXB_R2		GXB_RX_R4n,GXB_REFCLK_R4n					Y1				
GXB_R2		GXB_TX_R4p					W4				
GXB_R2		GXB_TX_R4n					W3				
GXB_R2		GXB_RX_R5p,GXB_REFCLK_R5p					M2				
GXB_R2		GXB_RX_R5n,GXB_REFCLK_R5n					M1				
GXB_R2		GXB_TX_R5p					N4				
GXB_R2		GXB_TX_R5n					N3				
GXB_R2		REFCLK5Rn					U8				
GXB_R2		REFCLK5Rp					U9				
GXB_R3		REFCLK6Rn					R7				
GXB_R3		REFCLK6Rp					R8				
GXB_R3		GXB_RX_R6p,GXB_REFCLK_R6p					L4				
GXB_R3		GXB_RX_R6n,GXB_REFCLK_R6n					L3				
GXB_R3		GXB_TX_R6p					M6				
GXB_R3		GXB_TX_R6n					M5				
GXB_R3		GXB_RX_R7p,GXB_REFCLK_R7p					B2				
GXB_R3		GXB_RX_R7n,GXB_REFCLK_R7n					B1				
GXB_R3		GXB_TX_R7p					C4				
GXB_R3		GXB_TX_R7n					C3				
GXB_R3		REFCLK7Rn					N8				
GXB_R3		REFCLK7Rp					N9				
GXB_R0		GTB_TX_R0p					AP2				
GXB_R0		GTB_TX_R0n					AP1				
GXB_R0		GTB_RX_R0p					AM2				
GXB_R0		GTB_RX_R0n					AM1				
GXB_R1		GTB_TX_R1p					AD2				
GXB_R1		GTB_TX_R1n					AD1				
GXB_R1		GTB_RX_R1p					AB2				
GXB_R1		GTB_RX_R1n					AB1				
GXB_R2		GTB_TX_R2p					T2				
GXB_R2		GTB_TX_R2n					T1				
GXB_R2		GTB_RX_R2p					P2				
GXB_R2		GTB_RX_R2n					P1				
GXB_R3		GTB_TX_R3p					H2				
GXB_R3		GTB_TX_R3n					H1				
GXB_R3		GTB_RX_R3p					F2				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_R3		GTB_RX_R3n					F1				
7A		GND					T12				
7A	VREFB7A0	IO	RZQ_4		DIFFIO_RX_T1p	DIFFOUT_T1p	D6	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_RX_T1n	DIFFOUT_T1n	C6	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T2p	DIFFOUT_T2p	E6	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T2n	DIFFOUT_T2n	E7	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO	CLK12p		DIFFIO_RX_T3p	DIFFOUT_T3p	A6	DQS1T	DQS1T/CQ1T	DQ1T	
7A	VREFB7A0	IO	CLK12n		DIFFIO_RX_T3n	DIFFOUT_T3n	A7	DQSn1T	DQSn1T/DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T4p	DIFFOUT_T4p	E8	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T4n	DIFFOUT_T4n	D7	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO	CLK13p		DIFFIO_RX_T5p	DIFFOUT_T5p	C7	DQS2T	DQ1T/CQn1T	DQS1T/CQ1T	
7A	VREFB7A0	IO	CLK13n		DIFFIO_RX_T5n	DIFFOUT_T5n	B7	DQSn2T	DQ1T	DQSn1T/DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T6p	DIFFOUT_T6p	B8	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T6n	DIFFOUT_T6n	A8	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT2,FPLL_TR_FBp,FPLL_TR_FB1		DIFFIO_RX_T7p	DIFFOUT_T7p	G6	DQ3T	DQ1T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT3,FPLL_TR_FBn		DIFFIO_RX_T7n	DIFFOUT_T7n	F6	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT0,FPLL_TR_CLKOUTp,FPLL_TR_FB0		DIFFIO_TX_T8p	DIFFOUT_T8p	H7	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT1,FPLL_TR_CLKOUTn		DIFFIO_TX_T8n	DIFFOUT_T8n	G7	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	CLK14p		DIFFIO_RX_T9p	DIFFOUT_T9p	H8	DQS3T	DQS2T/CQ2T	DQ1T/CQn1T	
7A	VREFB7A0	IO	CLK14n		DIFFIO_RX_T9n	DIFFOUT_T9n	G8	DQSn3T	DQSn2T/DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T10p	DIFFOUT_T10p	F8	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T10n	DIFFOUT_T10n	G9	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO	CLK15p		DIFFIO_RX_T11p	DIFFOUT_T11p	J10	DQS4T	DQ2T/CQn2T	DQ1T	
7A	VREFB7A0	IO	CLK15n		DIFFIO_RX_T11n	DIFFOUT_T11n	H10	DQSn4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T12p	DIFFOUT_T12p	J9	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T12n	DIFFOUT_T12n	J8	DQ4T	DQ2T	DQ1T	
7B	VREFB7B0	IO			DIFFIO_RX_T13p	DIFFOUT_T13p	C9	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T13n	DIFFOUT_T13n	C10	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T14p	DIFFOUT_T14p	B10	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T14n	DIFFOUT_T14n	A10	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T15p	DIFFOUT_T15p	B11	DQS5T	DQS3T/CQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T15n	DIFFOUT_T15n	A11	DQSn5T	DQSn3T/DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T16p	DIFFOUT_T16p	C12	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T16n	DIFFOUT_T16n	C11	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T17p	DIFFOUT_T17p	D12	DQS6T	DQ3T/CQn3T	DQS2T/CQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T17n	DIFFOUT_T17n	C13	DQSn6T	DQ3T	DQSn2T/DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T18p	DIFFOUT_T18p	E13	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T18n	DIFFOUT_T18n	D13	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T19p	DIFFOUT_T19p	E10	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T19n	DIFFOUT_T19n	D10	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T20p	DIFFOUT_T20p	E9	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T20n	DIFFOUT_T20n	D9	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T21p	DIFFOUT_T21p	G10	DQS7T	DQS4T/CQ4T	DQ2T/CQn2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T21n	DIFFOUT_T21n	F11	DQSn7T	DQSn4T/DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T22p	DIFFOUT_T22p	E12	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T22n	DIFFOUT_T22n	E11	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T23p	DIFFOUT_T23p	G12	DQS8T	DQ4T/CQn4T	DQ2T	DQS1T/CQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T23n	DIFFOUT_T23n	F12	DQSn8T	DQ4T	DQ2T	DQSn1T/DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T24p	DIFFOUT_T24p	H13	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T24n	DIFFOUT_T24n	G13	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T25p	DIFFOUT_T25p	H11	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T25n	DIFFOUT_T25n	G11	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T26p	DIFFOUT_T26p	K10	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T26n	DIFFOUT_T26n	J11	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T27p	DIFFOUT_T27p	M11	DQS9T	DQS5T/CQ5T	DQ3T	DQ1T/CQn1T
7B	VREFB7B0	IO			DIFFIO_RX_T27n	DIFFOUT_T27n	L11	DQSn9T	DQSn5T/DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T28p	DIFFOUT_T28p	K12	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T28n	DIFFOUT_T28n	J12	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T29p	DIFFOUT_T29p	K13	DQS10T	DQ5T/CQn5T	DQS3T/CQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T29n	DIFFOUT_T29n	J13	DQSn10T	DQ5T	DQSn3T/DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T30p	DIFFOUT_T30p	M12	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T30n	DIFFOUT_T30n	L12	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T31p	DIFFOUT_T31p	V12	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T31n	DIFFOUT_T31n	U12	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T32p	DIFFOUT_T32p	U14	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T32n	DIFFOUT_T32n	U13	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T33p	DIFFOUT_T33p	R12	DQS11T	DQS6T/CQ6T	DQ3T/CQn3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T33n	DIFFOUT_T33n	P11	DQSn11T	DQSn6T/DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T34p	DIFFOUT_T34p	T13	DQ12T	DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T34n	DIFFOUT_T34n	R13	DQ12T	DQ6T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T35p	DIFFOUT_T35p	P13	DQS12T	DQ6T/CQn6T	DQ3T	DQ1T



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7B	VREFB7BN0	IO			DIFFIO_RX_T35n	DIFFOUT_T35n	N13	DQSn12T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T36p	DIFFOUT_T36p	N12	DQ12T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T36n	DIFFOUT_T36n	N11	DQ12T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T37p	DIFFOUT_T37p	B14	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T37n	DIFFOUT_T37n	A14	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T38p	DIFFOUT_T38p	B13	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T38n	DIFFOUT_T38n	A13	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T39p	DIFFOUT_T39p	B16	DQS13T	DQS7T/CQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T39n	DIFFOUT_T39n	A16	DQS13T	DQS7T/DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T40p	DIFFOUT_T40p	C15	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T40n	DIFFOUT_T40n	C14	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T41p	DIFFOUT_T41p	D15	DQS14T	DQ7T/CQn7T	DQS4T/CQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T41n	DIFFOUT_T41n	D16	DQS14T	DQ7T	DQS4T/DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T42p	DIFFOUT_T42p	F14	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T42n	DIFFOUT_T42n	E14	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T43p	DIFFOUT_T43p	E16	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T43n	DIFFOUT_T43n	F15	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T44p	DIFFOUT_T44p	G15	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T44n	DIFFOUT_T44n	G14	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T45p	DIFFOUT_T45p	H17	DQS15T	DQS8T/CQ8T	DQ4T/CQn4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T45n	DIFFOUT_T45n	G17	DQS15T	DQS8T/DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T46p	DIFFOUT_T46p	J14	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T46n	DIFFOUT_T46n	H14	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T47p	DIFFOUT_T47p	H16	DQS16T	DQ8T/CQn8T	DQ4T	DQS2T/CQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T47n	DIFFOUT_T47n	G16	DQS16T	DQ8T	DQ4T	DQS2T/DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T48p	DIFFOUT_T48p	J16	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T48n	DIFFOUT_T48n	J17	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T49p	DIFFOUT_T49p	K15	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T49n	DIFFOUT_T49n	J15	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T50p	DIFFOUT_T50p	K16	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T50n	DIFFOUT_T50n	L17	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T51p	DIFFOUT_T51p	L15	DQS17T	DQS9T/CQ9T	DQ5T	DQ2T/CQn2T
7C	VREFB7CN0	IO			DIFFIO_RX_T51n	DIFFOUT_T51n	L14	DQS17T	DQS9T/DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T52p	DIFFOUT_T52p	R14	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T52n	DIFFOUT_T52n	P14	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T53p	DIFFOUT_T53p	N14	DQS18T	DQ9T/CQn9T	DQS5T/CQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T53n	DIFFOUT_T53n	M14	DQS18T	DQ9T	DQS5T/DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T54p	DIFFOUT_T54p	N15	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T54n	DIFFOUT_T54n	M15	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T55p	DIFFOUT_T55p	T15	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T55n	DIFFOUT_T55n	R15	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T56p	DIFFOUT_T56p	U16	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T56n	DIFFOUT_T56n	U15	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T57p	DIFFOUT_T57p	T16	DQS19T	DQS10T/CQ10T	DQS5T/CQn5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T57n	DIFFOUT_T57n	R16	DQS19T	DQS10T/DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T58p	DIFFOUT_T58p	P16	DQ20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T58n	DIFFOUT_T58n	N16	DQ20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T59p	DIFFOUT_T59p	N17	DQS20T	DQ10T/CQn10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T59n	DIFFOUT_T59n	M17	DQS20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T60p	DIFFOUT_T60p	R17	DQ20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T60n	DIFFOUT_T60n	P17	DQ20T	DQ10T	DQ5T	DQ2T
7D	VREFB7DN0	IO			DIFFIO_RX_T61p	DIFFOUT_T61p	B20	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T61n	DIFFOUT_T61n	A20	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T62p	DIFFOUT_T62p	B19	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T62n	DIFFOUT_T62n	A19	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T63p	DIFFOUT_T63p	D21	DQS21T	DQS11T/CQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T63n	DIFFOUT_T63n	C21	DQS21T	DQS11T/DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T64p	DIFFOUT_T64p	B17	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T64n	DIFFOUT_T64n	A17	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T65p	DIFFOUT_T65p	D19	DQS22T	DQ11T/CQn11T	DQS6T/CQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T65n	DIFFOUT_T65n	C18	DQS22T	DQ11T	DQS6T/DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T66p	DIFFOUT_T66p	C20	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T66n	DIFFOUT_T66n	C19	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO	CLK19p		DIFFIO_RX_T67p	DIFFOUT_T67p	E20	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	CLK19n		DIFFIO_RX_T67n	DIFFOUT_T67n	E19	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T68p	DIFFOUT_T68p	D18	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T68n	DIFFOUT_T68n	C17	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	CLK18p		DIFFIO_RX_T69p	DIFFOUT_T69p	F17	DQS23T	DQS12T/CQ12T	DQ6T/CQn6T	DQ3T
7D	VREFB7DN0	IO	CLK18n		DIFFIO_RX_T69n	DIFFOUT_T69n	E17	DQS23T	DQS12T/DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T70p	DIFFOUT_T70p	F21	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T70n	DIFFOUT_T70n	E21	DQ24T	DQ12T	DQ6T	DQ3T



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT2,FPLL_TC_FBp,FPLL_TC_FB1		DIFFIO_RX_T71p	DIFFOUT_T71p	G18	DQS24T	DQ12T/CQn12T	DQ6T	DQS3T/CQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT3,FPLL_TC_FBn		DIFFIO_RX_T71n	DIFFOUT_T71n	F18	DQSn24T	DQ12T	DQ6T	DQSn3T/DQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT0,FPLL_TC_CLKOUTp,FPLL_TC_FB0		DIFFIO_TX_T72p	DIFFOUT_T72p	G20	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT1,FPLL_TC_CLKOUTn		DIFFIO_TX_T72n	DIFFOUT_T72n	F20	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T73p	DIFFOUT_T73p	H19	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T73n	DIFFOUT_T73n	G19	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T74p	DIFFOUT_T74p	J19	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T74n	DIFFOUT_T74n	J18	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T75p	DIFFOUT_T75p	K21	DQS25T	DQS13T/CQ13T	DQ7T	DQ3T/CQn3T
7D	VREFB7DN0	IO			DIFFIO_RX_T75n	DIFFOUT_T75n	J20	DQSn25T	DQSn13T/DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T76p	DIFFOUT_T76p	L19	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T76n	DIFFOUT_T76n	K19	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T77p	DIFFOUT_T77p	L18	DQS26T	DQ13T/CQn13T	DQS7T/CQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T77n	DIFFOUT_T77n	K18	DQSn26T	DQ13T	DQSn7T/DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T78p	DIFFOUT_T78p	N18	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T78n	DIFFOUT_T78n	M18	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T79p	DIFFOUT_T79p	P19	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T79n	DIFFOUT_T79n	N19	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T80p	DIFFOUT_T80p	P20	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T80n	DIFFOUT_T80n	N20	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T81p	DIFFOUT_T81p	R20	DQS27T	DQS14T/CQ14T	DQ7T/CQn7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T81n	DIFFOUT_T81n	R21	DQSn27T	DQSn14T/DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T82p	DIFFOUT_T82p	M20	DQ28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T82n	DIFFOUT_T82n	L20	DQ28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T83p	DIFFOUT_T83p	P22	DQS28T	DQ14T/CQn14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T83n	DIFFOUT_T83n	N21	DQSn28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T84p	DIFFOUT_T84p	R23	DQ28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T84n	DIFFOUT_T84n	R22	DQ28T	DQ14T	DQ7T	DQ3T
8D	VREFB8DN0	IO			DIFFIO_RX_T121p	DIFFOUT_T121p	B22	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T121n	DIFFOUT_T121n	A22	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T122p	DIFFOUT_T122p	D22	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T122n	DIFFOUT_T122n	C22	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T123p	DIFFOUT_T123p	B23	DQS41T	DQS15T/CQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T123n	DIFFOUT_T123n	A23	DQSn41T	DQSn15T/DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T124p	DIFFOUT_T124p	E23	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T124n	DIFFOUT_T124n	E22	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T125p	DIFFOUT_T125p	E24	DQS42T	DQ15T/CQn15T	DQS8T/CQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T125n	DIFFOUT_T125n	D24	DQSn42T	DQ15T	DQSn8T/DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T126p	DIFFOUT_T126p	C24	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T126n	DIFFOUT_T126n	C23	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T127p	DIFFOUT_T127p	G22	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T127n	DIFFOUT_T127n	G21	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T128p	DIFFOUT_T128p	J22	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T128n	DIFFOUT_T128n	H22	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T129p	DIFFOUT_T129p	G23	DQS43T	DQS16T/CQ16T	DQ8T/CQn8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T129n	DIFFOUT_T129n	F23	DQSn43T	DQSn16T/DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T130p	DIFFOUT_T130p	H25	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T130n	DIFFOUT_T130n	G25	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T131p	DIFFOUT_T131p	G24	DQS44T	DQ16T/CQn16T	DQ8T	DQS4T/CQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T131n	DIFFOUT_T131n	F24	DQSn44T	DQ16T	DQ8T	DQSn4T/DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T132p	DIFFOUT_T132p	E25	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T132n	DIFFOUT_T132n	D25	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO	CLK17p		DIFFIO_RX_T133p	DIFFOUT_T133p	K22	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO	CLK17n		DIFFIO_RX_T133n	DIFFOUT_T133n	J21	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T134p	DIFFOUT_T134p	J25	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T134n	DIFFOUT_T134n	J24	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO	CLK16p		DIFFIO_RX_T135p	DIFFOUT_T135p	J23	DQS45T	DQS17T/CQ17T	DQ9T	DQ4T/CQn4T
8D	VREFB8DN0	IO	CLK16n		DIFFIO_RX_T135n	DIFFOUT_T135n	H23	DQSn45T	DQSn17T/DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T136p	DIFFOUT_T136p	M24	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T136n	DIFFOUT_T136n	L23	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T137p	DIFFOUT_T137p	L24	DQS46T	DQ17T/CQn17T	DQS9T/CQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T137n	DIFFOUT_T137n	K24	DQSn46T	DQ17T	DQSn9T/DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T138p	DIFFOUT_T138p	L25	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T138n	DIFFOUT_T138n	K25	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T139p	DIFFOUT_T139p	N23	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T139n	DIFFOUT_T139n	M23	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T140p	DIFFOUT_T140p	R24	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T140n	DIFFOUT_T140n	P23	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T141p	DIFFOUT_T141p	N25	DQS47T	DQS18T/CQ18T	DQ9T/CQn9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T141n	DIFFOUT_T141n	N24	DQSn47T	DQSn18T/DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T142p	DIFFOUT_T142p	U24	DQ48T	DQ18T	DQ9T	DQ4T



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8D	VREFB8DN0	IO			DIFFIO_TX_T142n	DIFFOUT_T142n	T24	DQ48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T143p	DIFFOUT_T143p	R25	DQS48T	DQ18T/CQn18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T143n	DIFFOUT_T143n	P25	DQSn48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T144p	DIFFOUT_T144p	U25	DQ48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T144n	DIFFOUT_T144n	T25	DQ48T	DQ18T	DQ9T	DQ4T
8C	VREFB8CN0	IO			DIFFIO_RX_T145p	DIFFOUT_T145p	B26	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T145n	DIFFOUT_T145n	A26	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T146p	DIFFOUT_T146p	B25	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T146n	DIFFOUT_T146n	A25	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T147p	DIFFOUT_T147p	B28	DQS49T	DQS19T/CQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T147n	DIFFOUT_T147n	A28	DQSn49T	DQSn19T/DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T148p	DIFFOUT_T148p	C27	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T148n	DIFFOUT_T148n	C26	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T149p	DIFFOUT_T149p	E28	DQS50T	DQ19T/CQn19T	DQS10T/CQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T149n	DIFFOUT_T149n	D28	DQSn50T	DQ19T	DQSn10T/DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T150p	DIFFOUT_T150p	E27	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T150n	DIFFOUT_T150n	D27	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T151p	DIFFOUT_T151p	G27	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T151n	DIFFOUT_T151n	F27	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T152p	DIFFOUT_T152p	G26	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T152n	DIFFOUT_T152n	F26	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T153p	DIFFOUT_T153p	H29	DQS51T	DQS20T/CQ20T	DQ10T/CQn10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T153n	DIFFOUT_T153n	G28	DQSn51T	DQSn20T/DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T154p	DIFFOUT_T154p	K27	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T154n	DIFFOUT_T154n	J27	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T155p	DIFFOUT_T155p	J26	DQS52T	DQ20T/CQn20T	DQ10T	DQS5T/CQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T155n	DIFFOUT_T155n	H26	DQSn52T	DQ20T	DQ10T	DQSn5T/DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T156p	DIFFOUT_T156p	J28	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T156n	DIFFOUT_T156n	H28	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T157p	DIFFOUT_T157p	L27	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T157n	DIFFOUT_T157n	L26	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T158p	DIFFOUT_T158p	N26	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T158n	DIFFOUT_T158n	M26	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T159p	DIFFOUT_T159p	L28	DQS53T	DQS21T/CQ21T	DQ11T	DQ5T/CQn5T
8C	VREFB8CN0	IO			DIFFIO_RX_T159n	DIFFOUT_T159n	K28	DQSn53T	DQSn21T/DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T160p	DIFFOUT_T160p	R26	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T160n	DIFFOUT_T160n	P26	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T161p	DIFFOUT_T161p	N27	DQS54T	DQ21T/CQn21T	DQS11T/CQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T161n	DIFFOUT_T161n	M27	DQSn54T	DQ21T	DQSn11T/DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T162p	DIFFOUT_T162p	P28	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T162n	DIFFOUT_T162n	N28	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T163p	DIFFOUT_T163p	M29	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T163n	DIFFOUT_T163n	L29	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T164p	DIFFOUT_T164p	R29	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T164n	DIFFOUT_T164n	R28	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T165p	DIFFOUT_T165p	P29	DQS55T	DQS22T/CQ22T	DQ11T/CQn11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T165n	DIFFOUT_T165n	N29	DQSn55T	DQSn22T/DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T166p	DIFFOUT_T166p	L30	DQ56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T166n	DIFFOUT_T166n	K30	DQ56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T167p	DIFFOUT_T167p	J30	DQS56T	DQ22T/CQn22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T167n	DIFFOUT_T167n	J29	DQSn56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T168p	DIFFOUT_T168p	K31	DQ56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T168n	DIFFOUT_T168n	J31	DQ56T	DQ22T	DQ11T	DQ5T
8A	VREFB8AN0	IO	CLK23p		DIFFIO_RX_T193p	DIFFOUT_T193p	B29	DQ65T	DQ23T	DQ12T	
8A	VREFB8AN0	IO	CLK23n		DIFFIO_RX_T193n	DIFFOUT_T193n	A29	DQ65T	DQ23T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T194p	DIFFOUT_T194p	F29	DQ65T	DQ23T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T194n	DIFFOUT_T194n	E29	DQ65T	DQ23T	DQ12T	
8A	VREFB8AN0	IO	CLK22p		DIFFIO_RX_T195p	DIFFOUT_T195p	C30	DQS65T	DQS23T/CQ23T	DQ12T	
8A	VREFB8AN0	IO	CLK22n		DIFFIO_RX_T195n	DIFFOUT_T195n	C29	DQSn65T	DQSn23T/DQ23T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T196p	DIFFOUT_T196p	G30	DQ66T	DQ23T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T196n	DIFFOUT_T196n	G29	DQ66T	DQ23T	DQ12T	
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT2,FPLL_TL_FBp,FPLL_TL_FB1		DIFFIO_RX_T197p	DIFFOUT_T197p	F30	DQS66T	DQ23T/CQn23T	DQS12T/CQ12T	
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT3,FPLL_TL_FBn		DIFFIO_RX_T197n	DIFFOUT_T197n	E30	DQSn66T	DQ23T	DQSn12T/DQ12T	
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT0,FPLL_TL_CLKOUTp,FPLL_TL_FB0		DIFFIO_TX_T198p	DIFFOUT_T198p	H31	DQ66T	DQ23T	DQ12T	
8A	VREFB8AN0	IO	FPLL_TL_CLKOUT1,FPLL_TL_CLKOUTn		DIFFIO_TX_T198n	DIFFOUT_T198n	G31	DQ66T	DQ23T	DQ12T	
8A	VREFB8AN0	IO	CLK21p		DIFFIO_RX_T199p	DIFFOUT_T199p	B31	DQ67T	DQ24T	DQ12T	
8A	VREFB8AN0	IO	CLK21n		DIFFIO_RX_T199n	DIFFOUT_T199n	A31	DQ67T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T200p	DIFFOUT_T200p	D31	DQ67T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T200n	DIFFOUT_T200n	D30	DQ67T	DQ24T	DQ12T	
8A	VREFB8AN0	IO	CLK20p		DIFFIO_RX_T201p	DIFFOUT_T201p	C32	DQS67T	DQS24T/CQ24T	DQ12T/CQn12T	
8A	VREFB8AN0	IO	CLK20n		DIFFIO_RX_T201n	DIFFOUT_T201n	C31	DQSn67T	DQSn24T/DQ24T	DQ12T	



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8A	VREFB8AN0	IO			DIFFIO_TX_T202p	DIFFOUT_T202p	B32	DQ68T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T202n	DIFFOUT_T202n	A32	DQ68T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_RX_T203p	DIFFOUT_T203p	B34	DQS68T	DQ24T/CQn24T	DQ12T	
8A	VREFB8AN0	IO	RZQ_5		DIFFIO_RX_T203n	DIFFOUT_T203n	A34	DQS68T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T204p	DIFFOUT_T204p	C34	DQ68T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_TX_T204n	DIFFOUT_T204n	C33	DQ68T	DQ24T	DQ12T	
8A	VREFB8AN0	IO			DIFFIO_RX_T205p	DIFFOUT_T205p	F32	DQ69T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_RX_T205n	DIFFOUT_T205n	E32	DQ69T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_TX_T206p	DIFFOUT_T206p	E33	DQ69T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_TX_T206n	DIFFOUT_T206n	D33	DQ69T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_RX_T207p	DIFFOUT_T207p	E34	DQS69T	DQS25T/CQ25T		
8A	VREFB8AN0	IO			DIFFIO_RX_T207n	DIFFOUT_T207n	D34	DQS69T	DQS25T/DQ25T		
8A	VREFB8AN0	IO			DIFFIO_TX_T208p	DIFFOUT_T208p	H32	DQ70T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_TX_T208n	DIFFOUT_T208n	G32	DQ70T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_RX_T209p	DIFFOUT_T209p	G33	DQS70T	DQ25T/CQn25T		
8A	VREFB8AN0	IO			DIFFIO_RX_T209n	DIFFOUT_T209n	F33	DQS70T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_TX_T210p	DIFFOUT_T210p	H34	DQ70T	DQ25T		
8A	VREFB8AN0	IO			DIFFIO_TX_T210n	DIFFOUT_T210n	G34	DQ70T	DQ25T		
		GND					A35				
		GND					A37				
		GND					A38				
		GND					AA34				
		GND					AA35				
		GND					AA38				
		GND					AA39				
		GND					AB32				
		GND					AB36				
		GND					AB37				
		GND					AC34				
		GND					AC35				
		GND					AC38				
		GND					AC39				
		GND					AD31				
		GND					AD33				
		GND					AD36				
		GND					AD37				
		GND					AE34				
		GND					AE35				
		GND					AE38				
		GND					AE39				
		GND					AF32				
		GND					AF36				
		GND					AF37				
		GND					AG34				
		GND					AG35				
		GND					AG38				
		GND					AG39				
		GND					AH31				
		GND					AH33				
		GND					AH36				
		GND					AH37				
		GND					AJ34				
		GND					AJ35				
		GND					AJ38				
		GND					AJ39				
		GND					AK36				
		GND					AK37				
		GND					AL34				
		GND					AL35				
		GND					AL38				
		GND					AL39				
		GND					AM36				
		GND					AM37				
		GND					AN38				
		GND					AN39				
		GND					AP36				
		GND					AP37				
		GND					AR35				
		GND					AR38				
		GND					AR39				
		GND					AT35				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					AT36				
		GND					AT37				
		GND					AU35				
		GND					AU38				
		GND					AU39				
		GND					AV35				
		GND					AV36				
		GND					AV37				
		GND					AW37				
		GND					AW38				
		GND					B35				
		GND					B36				
		GND					B37				
		GND					C35				
		GND					C38				
		GND					C39				
		GND					D35				
		GND					D36				
		GND					D37				
		GND					E35				
		GND					E38				
		GND					E39				
		GND					F35				
		GND					F36				
		GND					F37				
		GND					G35				
		GND					G38				
		GND					G39				
		GND					H35				
		GND					H36				
		GND					H37				
		GND					J34				
		GND					J35				
		GND					J38				
		GND					J39				
		GND					K36				
		GND					K37				
		GND					L34				
		GND					L35				
		GND					L38				
		GND					L39				
		GND					M31				
		GND					M36				
		GND					M37				
		GND					N34				
		GND					N35				
		GND					N38				
		GND					N39				
		GND					P32				
		GND					P36				
		GND					P37				
		GND					R34				
		GND					R35				
		GND					R38				
		GND					R39				
		GND					T31				
		GND					T33				
		GND					T36				
		GND					T37				
		GND					U34				
		GND					U35				
		GND					U38				
		GND					U39				
		GND					V32				
		GND					V36				
		GND					V37				
		GND					W34				
		GND					W35				
		GND					W38				
		GND					W39				
		GND					Y31				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					Y33				
		GND					Y36				
		GND					Y37				
		GND					A2				
		GND					A3				
		GND					A5				
		GND					AA1				
		GND					AA2				
		GND					AA5				
		GND					AA6				
		GND					AB3				
		GND					AB4				
		GND					AB8				
		GND					AC1				
		GND					AC2				
		GND					AC5				
		GND					AC6				
		GND					AD3				
		GND					AD4				
		GND					AD7				
		GND					AD9				
		GND					AE1				
		GND					AE2				
		GND					AE5				
		GND					AE6				
		GND					AF3				
		GND					AF4				
		GND					AF8				
		GND					AG1				
		GND					AG2				
		GND					AG5				
		GND					AG6				
		GND					AH3				
		GND					AH4				
		GND					AH7				
		GND					AH9				
		GND					AJ1				
		GND					AJ2				
		GND					AJ5				
		GND					AJ6				
		GND					AK3				
		GND					AK4				
		GND					AL1				
		GND					AL2				
		GND					AL5				
		GND					AL6				
		GND					AM3				
		GND					AM4				
		GND					AN1				
		GND					AN2				
		GND					AP3				
		GND					AP4				
		GND					AR1				
		GND					AR2				
		GND					AR5				
		GND					AT3				
		GND					AT4				
		GND					AT5				
		GND					AU1				
		GND					AU2				
		GND					AU5				
		GND					AV3				
		GND					AV4				
		GND					AV5				
		GND					AW2				
		GND					AW3				
		GND					B3				
		GND					B4				
		GND					B5				
		GND					C1				
		GND					C2				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					C5				
		GND					D3				
		GND					D4				
		GND					D5				
		GND					E1				
		GND					E2				
		GND					E5				
		GND					F3				
		GND					F4				
		GND					F5				
		GND					G1				
		GND					G2				
		GND					G5				
		GND					H3				
		GND					H4				
		GND					H5				
		GND					J1				
		GND					J2				
		GND					J5				
		GND					J6				
		GND					K3				
		GND					K4				
		GND					L1				
		GND					L2				
		GND					L5				
		GND					L6				
		GND					M3				
		GND					M4				
		GND					M9				
		GND					N1				
		GND					N2				
		GND					N5				
		GND					N6				
		GND					P3				
		GND					P4				
		GND					P8				
		GND					R1				
		GND					R2				
		GND					R5				
		GND					R6				
		GND					T3				
		GND					T4				
		GND					T7				
		GND					T9				
		GND					U1				
		GND					U2				
		GND					U5				
		GND					U6				
		GND					V3				
		GND					V4				
		GND					V8				
		GND					W1				
		GND					W2				
		GND					W5				
		GND					W6				
		GND					Y3				
		GND					Y4				
		GND					Y7				
		GND					Y9				
		GND					AA10				
		GND					AA15				
		GND					AA25				
		GND					AA28				
		GND					AA30				
		GND					AB11				
		GND					AB14				
		GND					AB19				
		GND					AB23				
		GND					AB24				
		GND					AB26				
		GND					AB30				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					AC17				
		GND					AD10				
		GND					AD13				
		GND					AD16				
		GND					AD18				
		GND					AD20				
		GND					AD22				
		GND					AD25				
		GND					AD28				
		GND					AE10				
		GND					AE30				
		GND					AF10				
		GND					AF12				
		GND					AF15				
		GND					AF18				
		GND					AF21				
		GND					AF24				
		GND					AF27				
		GND					AF30				
		GND					AG10				
		GND					AG30				
		GND					AH10				
		GND					AH11				
		GND					AH14				
		GND					AH17				
		GND					AH20				
		GND					AH23				
		GND					AH26				
		GND					AH29				
		GND					AH30				
		GND					AJ33				
		GND					AJ7				
		GND					AJ8				
		GND					AK10				
		GND					AK13				
		GND					AK16				
		GND					AK19				
		GND					AK22				
		GND					AK25				
		GND					AK28				
		GND					AK31				
		GND					AK33				
		GND					AK7				
		GND					AL33				
		GND					AL7				
		GND					AM12				
		GND					AM15				
		GND					AM18				
		GND					AM21				
		GND					AM24				
		GND					AM27				
		GND					AM30				
		GND					AM35				
		GND					AM5				
		GND					AM6				
		GND					AM9				
		GND					AN35				
		GND					AN5				
		GND					AP11				
		GND					AP14				
		GND					AP17				
		GND					AP20				
		GND					AP23				
		GND					AP26				
		GND					AP29				
		GND					AP32				
		GND					AP35				
		GND					AP5				
		GND					AP8				
		GND					AT10				
		GND					AT13				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					AT16				
		GND					AT19				
		GND					AT22				
		GND					AT25				
		GND					AT28				
		GND					AT31				
		GND					AT34				
		GND					AT7				
		GND					AV12				
		GND					AV15				
		GND					AV18				
		GND					AV21				
		GND					AV24				
		GND					AV27				
		GND					AV30				
		GND					AV33				
		GND					AV6				
		GND					AV9				
		GND					B12				
		GND					B15				
		GND					B18				
		GND					B21				
		GND					B24				
		GND					B27				
		GND					B30				
		GND					B33				
		GND					B6				
		GND					B9				
		GND					D11				
		GND					D14				
		GND					D17				
		GND					D20				
		GND					D23				
		GND					D26				
		GND					D29				
		GND					D32				
		GND					D8				
		GND					F10				
		GND					F13				
		GND					F16				
		GND					F19				
		GND					F22				
		GND					F25				
		GND					F28				
		GND					F31				
		GND					F34				
		GND					F7				
		GND					H12				
		GND					H15				
		GND					H18				
		GND					H21				
		GND					H24				
		GND					H27				
		GND					H30				
		GND					H33				
		GND					H9				
		GND					J33				
		GND					J7				
		GND					K11				
		GND					K14				
		GND					K17				
		GND					K20				
		GND					K23				
		GND					K26				
		GND					K29				
		GND					K32				
		GND					K33				
		GND					K7				
		GND					K8				
		GND					L33				
		GND					L7				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					M10				
		GND					M13				
		GND					M16				
		GND					M19				
		GND					M22				
		GND					M25				
		GND					M28				
		GND					M32				
		GND					M33				
		GND					M7				
		GND					M8				
		GND					N10				
		GND					N30				
		GND					P12				
		GND					P15				
		GND					P18				
		GND					P21				
		GND					P24				
		GND					P27				
		GND					P30				
		GND					T10				
		GND					T11				
		GND					T14				
		GND					T18				
		GND					T20				
		GND					T22				
		GND					T26				
		GND					T29				
		GND					U10				
		GND					U19				
		GND					U23				
		GND					U30				
		GND					V10				
		GND					V13				
		GND					V16				
		GND					V22				
		GND					V24				
		GND					V28				
		GND					V30				
		GND					W10				
		GND					W14				
		GND					W20				
		GND					W26				
		GND					W30				
		GND					Y10				
		GND					Y13				
		GND					Y17				
		GND					Y19				
		GND					Y23				
		GND					Y27				
		GND					Y30				
		GND					AB21				
		VCC					AD17				
		VCC					AD19				
		VCC					AD21				
		VCC					AD23				
		VCC					T17				
		VCC					T19				
		VCC					T21				
		VCC					T23				
		VCC					AA17				
		VCC					AA18				
		VCC					AA19				
		VCC					AA20				
		VCC					AA23				
		VCC					AB17				
		VCC					AB18				
		VCC					AB20				
		VCC					AB22				
		VCC					AC18				
		VCC					AC19				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCC					AC20				
		VCC					AC21				
		VCC					AC22				
		VCC					AC23				
		VCC					U17				
		VCC					U18				
		VCC					U20				
		VCC					U21				
		VCC					U22				
		VCC					V17				
		VCC					V18				
		VCC					V19				
		VCC					V20				
		VCC					V21				
		VCC					V23				
		VCC					W17				
		VCC					W18				
		VCC					W19				
		VCC					W21				
		VCC					W22				
		VCC					W23				
		VCC					Y18				
		VCC					Y20				
		VCC					Y21				
		VCC					Y22				
		VCC					AA22				
		VCCPT					AD12				
		VCCPT					AE19				
		VCCPT					AF29				
		VCCPT					R11				
		VCCPT					R19				
		VCCPT					T28				
		DNU					AW34				
		DNU					AW35				
		DNU					V27				
		DNU					AF20				
		DNU					AW5				
		DNU					AW6				
		DNU					H6				
		DNU					N22				
		DNU					AA21				
		VCCPGM					AJ32				
		VCCPGM					AJ9				
		TEMPDIODEn					U11				
		TEMPDIODEp					V11				
		VCCBAT					AJ10				
		VCCIO3A					AW30				
		VCCIO3A					AW33				
		VCCIO3B					AU26				
		VCCIO3B					AW27				
		VCCIO3C					AU25				
		VCCIO3C					AW24				
		VCCIO3D					AW20				
		VCCIO4A					AW9				
		VCCIO4B					AU10				
		VCCIO4B					AW12				
		VCCIO4C					AU14				
		VCCIO4C					AW15				
		VCCIO4D					AW18				
		VCCIO7A					C8				
		VCCIO7B					A12				
		VCCIO7B					A9				
		VCCIO7C					A15				
		VCCIO7C					C16				
		VCCIO7D					A18				
		VCCIO7D					A21				
		VCCIO8A					A30				
		VCCIO8A					A33				
		VCCIO8C					A27				
		VCCIO8C					C28				
		VCCIO8D					A24				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCIO8D					C25				
		VCCPD3AB					AP30				
		VCCPD3AB					AR32				
		VCCPD3CD					AP22				
		VCCPD4					AP10				
		VCCPD4					AP16				
		VCCPD7					E15				
		VCCPD7					E18				
		VCCPD7					F9				
		VCCPD8					E26				
		VCCPD8					E31				
3A	VREFB3AN0	VREFB3AN0	VREFB3AN0				AK29				
3B	VREFB3BN0	VREFB3BN0	VREFB3BN0				AG27				
3C	VREFB3CN0	VREFB3CN0	VREFB3CN0				AE24				
3D	VREFB3DN0	VREFB3DN0	VREFB3DN0				AG21				
4A	VREFB4AN0	VREFB4AN0	VREFB4AN0				AL9				
4B	VREFB4BN0	VREFB4BN0	VREFB4BN0				AG12				
4C	VREFB4CN0	VREFB4CN0	VREFB4CN0				AG15				
4D	VREFB4DN0	VREFB4DN0	VREFB4DN0				AG18				
7A	VREFB7AN0	VREFB7AN0	VREFB7AN0				L9				
7B	VREFB7BN0	VREFB7BN0	VREFB7BN0				L13				
7C	VREFB7CN0	VREFB7CN0	VREFB7CN0				L16				
7D	VREFB7DN0	VREFB7DN0	VREFB7DN0				R18				
8A	VREFB8AN0	VREFB8AN0	VREFB8AN0				J32				
8C	VREFB8CN0	VREFB8CN0	VREFB8CN0				R27				
8D	VREFB8DN0	VREFB8DN0	VREFB8DN0				L22				
		NC					AB5				
		NC					AB6				
		NC					AD5				
		NC					AD6				
		NC					AF5				
		NC					AF6				
		NC					AK5				
		NC					AK6				
		NC					AN3				
		NC					AN4				
		NC					AR3				
		NC					AR4				
		NC					E3				
		NC					E4				
		NC					J3				
		NC					J4				
		NC					K5				
		NC					K6				
		NC					P5				
		NC					P6				
		NC					T5				
		NC					T6				
		NC					V5				
		NC					V6				
		VCCCH_GXBL0					AF33				
		VCCCH_GXBL1					AB33				
		VCCCH_GXBL2					V33				
		VCCCH_GXBL3					P33				
		VCCCH_GXBR0					AF7				
		VCCCH_GXBR1					AB7				
		VCCCH_GXBR2					V7				
		VCCCH_GXBR3					P7				
		VCCCR_GTBR0					AK1				
		VCCCR_GTBR0					AK2				
		VCCCR_GTBR1					AC3				
		VCCCR_GTBR1					AC4				
		VCCCR_GTBR2					R3				
		VCCCR_GTBR2					R4				
		VCCCR_GTBR3					D1				
		VCCCR_GTBR3					D2				
		VCCCR_GXBL0					AH32				
		VCCCR_GXBL1					AD32				
		VCCCR_GXBL2					Y32				
		VCCCR_GXBL3					T32				
		VCCCR_GXBR0					AH8				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCR_GXBR1					AD8				
		VCCR_GXBR2					Y8				
		VCCR_GXBR3					T8				
		VCCT_GTBR0					AT1				
		VCCT_GTBR0					AT2				
		VCCT_GTBR1					AF1				
		VCCT_GTBR1					AF2				
		VCCT_GTBR2					V1				
		VCCT_GTBR2					V2				
		VCCT_GTBR3					K1				
		VCCT_GTBR3					K2				
		VCCT_GXBL0					AF31				
		VCCT_GXBL0					AG31				
		VCCT_GXBL1					AB31				
		VCCT_GXBL1					AC31				
		VCCT_GXBL2					V31				
		VCCT_GXBL2					W31				
		VCCT_GXBL3					P31				
		VCCT_GXBL3					R31				
		VCCT_GXBR0					AF9				
		VCCT_GXBR0					AG9				
		VCCT_GXBR1					AB9				
		VCCT_GXBR1					AC9				
		VCCT_GXBR2					V9				
		VCCT_GXBR2					W9				
		VCCT_GXBR3					P9				
		VCCT_GXBR3					R9				
		VCCHIP_L					AA24				
		VCCHIP_L					V25				
		VCCHIP_L					W24				
		VCCHIP_L					W25				
		VCCHIP_L					Y24				
		VCCHIP_L					Y25				
		VCCHIP_R					AA16				
		VCCHIP_R					V15				
		VCCHIP_R					W15				
		VCCHIP_R					W16				
		VCCHIP_R					Y15				
		VCCHIP_R					Y16				
		RREF_BL					AW36				
		RREF_BR					AW4				
		RREF_TL					A36				
		RREF_TR					A4				
		VCCA_FPLL					AK32				
		VCCA_FPLL					AH21				
		VCCA_FPLL					AK8				
		VCCA_FPLL					L8				
		VCCA_FPLL					M21				
		VCCA_FPLL					L32				
		VCCA_FPLL					AD30				
		VCCA_FPLL					R30				
		VCCA_FPLL					AC10				
		VCCA_FPLL					P10				
		VCCA_GTBR0					AE7				
		VCCA_GTBR1					AA7				
		VCCA_GTBR2					U7				
		VCCA_GTBR3					N7				
		VCCA_GXBL0					AE33				
		VCCA_GXBL1					AA33				
		VCCA_GXBL2					U33				
		VCCA_GXBL3					N33				
		VCCHSSI_L					AA26				
		VCCHSSI_L					AA27				
		VCCHSSI_L					V26				
		VCCHSSI_L					W27				
		VCCHSSI_L					Y26				
		VCCHSSI_L					Y28				
		VCCHSSI_R					AA13				
		VCCHSSI_R					AA14				
		VCCHSSI_R					V14				
		VCCHSSI_R					W13				



Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCHSSI_R					Y12				
		VCCHSSI_R					Y14				
		VCCD_FPLL					AL32				
		VCCD_FPLL					AJ21				
		VCCD_FPLL					AK9				
		VCCD_FPLL					K9				
		VCCD_FPLL					L21				
		VCCD_FPLL					L31				
		VCCD_FPLL					AC30				
		VCCD_FPLL					T30				
		VCCD_FPLL					AB10				
		VCCD_FPLL					R10				
		VCC_AUX					AJ11				
		VCC_AUX					AJ31				
		VCC_AUX					AN20				
		VCC_AUX					H20				
		VCC_AUX					L10				
		VCC_AUX					M30				
		VCCL_GTBR0					AL3				
		VCCL_GTBR0					AL4				
		VCCL_GTBR1					AE3				
		VCCL_GTBR1					AE4				
		VCCL_GTBR2					U3				
		VCCL_GTBR2					U4				
		VCCL_GTBR3					G3				
		VCCL_GTBR3					G4				

Notes:

(1) For more information about pin definition and pin connection guidelines, refer to the [Stratix V Device Family Pin Connection Guidelines](#).

(2) The GXB_REFCLK pin is not supported in the current Quartus II software version, but will be supported in the future Quartus II software release version.



**Pin Information for the Stratix® V 5SGTC5 Device
Version 1.0**

Version Number	Date	Changes Made
1.0	8/24/2011	Initial release.